

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022027

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 23/12
H01L 21/60
// H01L 21/60

(21)Application number : 10-182220

(71)Applicant : SONY CORP

(22)Date of filing : 29.06.1998

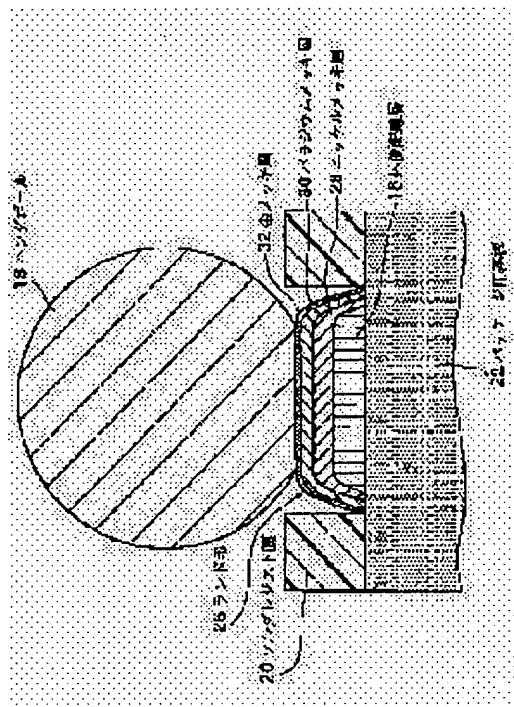
(72)Inventor : MATSUMOTO YOSHIYUKI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, AND PACKAGE BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a manufacturing method thereof, wherein solder balls are effectively prevented from degrading in adhesion due to a thermal treatment carried out at a high temperature restraining the manufacturing cost of the semiconductor device from increasing in manufacturing cost.

SOLUTION: A semiconductor device is equipped with a spherical terminal 18, wherein the terminal 18 is fixed to a land 26 located on a wiring layer 16 to serve as an outer terminal provided in the rear of a package board 22 or a terminal as an inner connector between a semiconductor chip and the package board 22. The land 26 is equipped with a nickel layer 28 on the wiring layer 16 and a gold layer 32 which comes into contact with the terminal 18, and a diffusion stop layer 30 which is formed of Pd or Pd alloy to stop Ni from being diffused into the gold layer 32 is interposed between the layer 28 and 32. Ni is prevented from being diffused upward by the diffusion stop layer 30, whereby the surface of the land 26 is hardly oxidized, and the gold layer 32 can be made thin through a flash plating method, so that a rigid and fragile layer of Au-Sn alloy or the like is hardly formed on a solder joint surface.



LEGAL STATUS

[Date of request for examination] 07.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

PAT-NO: JP02000022027A

DOCUMENT-IDENTIFIER: JP 2000022027 A

TITLE: SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, AND PACKAGE BOARD

PUBN-DATE: January 21, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
MATSUMOTO, YOSHIYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP10182220

APPL-DATE: June 29, 1998

INT-CL (IPC): H01L023/12, H01L021/60 , H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a manufacturing method thereof, wherein solder balls are effectively prevented from degrading in adhesion due to a thermal treatment carried out at a high temperature restraining the manufacturing cost of the semiconductor device from increasing in manufacturing cost.

SOLUTION: A semiconductor device is equipped with a spherical terminal 18, wherein the terminal 18 is fixed to a land 26 located on a wiring layer 16 to serve as an outer terminal provided in the rear of a package board 22 or a terminal as an inner connector between a semiconductor chip and the package board 22. The land 26 is equipped with a nickel layer 28 on the wiring layer 16 and a gold layer 32 which comes into contact with the terminal 18, and a diffusion stop layer 30 which is formed of Pd or Pd alloy to stop Ni from being diffused into the gold layer 32 is interposed between the layer 28 and 32. Ni is prevented from being diffused upward by the diffusion stop layer 30, whereby the surface of the land 26 is hardly oxidized, and the gold layer 32 can be made thin through a flash plating method, so that a rigid and fragile layer of Au-Sn alloy or the like is hardly formed on a solder joint surface.

COPYRIGHT: (C)2000,JPO

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor chip and the substrate for a package with which the semiconductor chip concerned was fixed, The wiring layer electrically connected to the rear face of the electrode pad which was formed in the substrate for a package concerned and was prepared in the front face of said semiconductor chip, or said semiconductor chip, The nickel layer by which the land formed on the wiring layer concerned and the front face which fixed on the land concerned were equipped with the spherical terminal object, and said land was formed on the part of said wiring layer, The semiconductor device with which the diffusion blocking layer which is the semiconductor device which has the gold layer which touches said terminal object, and prevents that the nickel in said nickel layer carries out thermal diffusion into said gold layer between the layers of said nickel layer and said gold layer intervenes.

[Claim 2] Said land is a semiconductor device according to claim 1 which it was formed in the field where said semiconductor chip of said substrate for a package was fixed, and the field of the opposite side, and said terminal object has fixed on said land as an external terminal of the semiconductor device concerned.

[Claim 3] It is the semiconductor device according to claim 1 which it was fixed within the hollow limit formed in said substrate for a package, said semiconductor chip was connected by said wiring layer and inner lead, said land was formed in said substrate side for a package of the same side as the field where said inner lead of said semiconductor chip was connected, and said terminal object has fixed on said land as an external terminal of the semiconductor device concerned.

[Claim 4] Said diffusion blocking layer is a semiconductor device according to claim 1 which consists of an alloy of palladium or palladium, and other metals.

[Claim 5] Said gold layer is a semiconductor device [thinner than said diffusion blocking layer] according to claim 1.

[Claim 6] A semiconductor chip and the substrate for a package with which the semiconductor chip concerned was fixed from the front-face side, The inside wiring layer which is formed in the semiconductor chip fixed side of the substrate for a package concerned, and is electrically connected with the external terminal of a package, As opposed to the electrode pad prepared in the front face of said semiconductor chip which is formed on the inside wiring layer concerned and counters It has the inside land electrically connected through the terminal object for internal connection. Said inside land The semiconductor device with which the diffusion blocking layer which is the semiconductor device which has the nickel layer formed on said inside wiring layer and the gold layer which touches said terminal object, and prevents that the nickel in said nickel layer carries out thermal diffusion into said gold layer between the layers of said nickel layer and said gold layer intervenes.

[Claim 7] It is the semiconductor device according to claim 6 which has the laminated structure as said inside land containing said diffusion blocking layer with said same outside land by having further the outside land formed in the semiconductor chip fixed side of said substrate for a package, and the field of the opposite side, and an external terminal object with the spherical front face formed in the front face of

the outside land concerned.

[Claim 8] Said diffusion blocking layer is a semiconductor device according to claim 6 which consists of an alloy of palladium or palladium, and other metals.

[Claim 9] Said gold layer is a semiconductor device [thinner than said diffusion blocking layer] according to claim 6.

[Claim 10] The wiring layer electrically connected to the substrate for a package with which a semiconductor chip is fixed at the rear face of the electrode pad prepared in said semiconductor chip front face or said semiconductor chip is formed. It is the manufacture approach of a semiconductor device that form a land on the wiring layer concerned and a front face fixes a spherical terminal object on the land concerned. After forming a nickel layer with plating on said wiring layer, forming a conductive diffusion blocking layer on said nickel layer on the occasion of formation of said land and forming a gold layer with plating on said diffusion blocking layer, in the formed land department The manufacture approach of the semiconductor device which fixes said terminal object on said land according to a process including heating while preventing that the nickel in said nickel layer carries out thermal diffusion to said upper gold layer by said diffusion blocking layer.

[Claim 11] The manufacture approach of the semiconductor device according to claim 10 which forms said gold layer by the flash plating method more thinly than said diffusion blocking layer.

[Claim 12] The inside wiring layer by which a semiconductor chip is electrically connected to the external terminal of a package in the field of the substrate for a package fixed from a front-face side is formed. In case an inside land is formed on the inside wiring layer concerned and said semiconductor chip is fixed to said substrate for a package It is the manufacture approach of the semiconductor device which connects electrically to said inside land the electrode pad prepared in the front face of the semiconductor chip concerned through the terminal object for internal connection. On the occasion of formation of said inside land, a nickel layer is formed with plating on said inside wiring layer. After forming a conductive diffusion blocking layer on the nickel layer concerned and forming a gold layer with plating on said diffusion blocking layer, in said formed inside land department The manufacture approach of the semiconductor device which fixes said semiconductor chip on said inside land through the terminal object for said internal connection according to a process including heating while preventing that the nickel in said nickel layer carries out thermal diffusion to said upper gold layer by said diffusion blocking layer.

[Claim 13] The outside wiring layer electrically connected to said inside land is formed in the semiconductor chip fixed side of said substrate for a package, and the field of the opposite side. In said outside land department which formed the outside land which consists of a lower layer by the nickel layer, the diffusion blocking layer, and the gold layer, and was formed on the outside wiring layer concerned The manufacture approach of the semiconductor device according to claim 12 which forms an external terminal object with a spherical front face on said outside land according to a process including heating while preventing that the nickel in said nickel layer is spread in said upper gold layer by said diffusion blocking layer.

[Claim 14] The manufacture approach of the semiconductor device according to claim 12 which forms said gold layer by the flash plating method more thinly than said diffusion blocking layer.

[Claim 15] The wiring layer electrically connected to the rear face of the pad which was formed at least in one side of the field where a semiconductor chip is fixed, and the field which countered this, and was prepared in the front face of said semiconductor chip, or said semiconductor chip, The nickel layer which has the land in which it is formed on the wiring layer concerned, and said semiconductor chip and the terminal object which attains internal connection fix, or a terminal object with a front face spherical as an external terminal is formed and by which the land concerned was formed on said wiring layer, The substrate for a package with which the diffusion blocking layer which is the substrate for a package which has the gold layer which touches said terminal object, and prevents that the nickel in said nickel layer carries out thermal diffusion into said gold layer between the layers of said nickel layer and said gold layer intervenes.

[Claim 16] Said diffusion blocking layer is a substrate for a package according to claim 15 which

consists of an alloy of palladium or palladium, and other metals.

[Claim 17] Said gold layer is a substrate [thinner than said diffusion blocking layer] for a package according to claim 15.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] this invention -- BGA (Ball Grid Array) Or CSP (Chip Size Package) etc. -- it is related with the semiconductor device which comes to include a semiconductor chip in a surface mount form semiconductor package, its manufacture approach, and the substrate for a package which can be used suitable for manufacture of the semiconductor device concerned.

[0002]

[Description of the Prior Art] The altitude information communication link age has come and low cost-ization is demanded of a miniaturization, advanced features, high-performance-izing, and a pan from LSI carried in electronic equipment from pursuit of the further ease of using, facilities, etc. to electronic equipment. For this reason, while it is in the inclination for that number of I/O to also increase with much more high integration of an LSI chip, the miniaturization demand of the package itself is also strong, and in order to reconcile these, the importance of development of the semiconductor package technique which suited high-density substrate mounting of semi-conductor components is increasing.

[0003] A high-density semiconductor package technique is QFP (Quad Flat Package) at the former. Although it has developed as in use, there is a limit in fine pitch-ization of QFP, and since the burden at the time of mounting this on the circuit board is also large, in recent years, the semiconductor package of a surface mounting form attracts attention.

[0004] BGA which arranged the pewter ball for example, in the shape of a grid in the base area of a package, and used it as the external terminal in it as a semiconductor package of the surface mounting form in which total low-cost-izing containing mounting cost is possible is known. after mounting a semiconductor chip on the whole surface of the substrate for a package and carrying out resin molding of it as BGA of the most general structure, there are some which the opposite side was alike on the other hand, and formed the pewter ball in the shape of area as an external terminal. In this BGA, since mounting area is attained in a field, the pitch of an external terminal is eased and it has the advantage that the miniaturization of a package can attain comparatively easily for this reason. Moreover, since it is not necessary to consider as a circuit board side or ** pitch correspondence and highly precise mounting technology also becomes unnecessary, when BGA is used, there is an advantage that package cost can reduce some as mounting cost total even when high.

[0005] Drawing 7 is the sectional view of the part centering on the external terminal (pewter ball) prepared in the base of this BGA. In drawing 7 , a sign 100 shows BGA and 102 shows the substrate for a package. Especially on the substrate side for a package which counters the field although the pewter ball forming face of BGA has appeared in drawing 7 , although not illustrated, the semiconductor chip is being fixed through the silver paste from the rear face. Moreover, a wiring layer is formed in the perimeter of a semiconductor chip within the substrate side for a package, and the wiring layer and the electrode pad beforehand prepared in the front face of a semiconductor chip are connected with the golden wire. And the closure of a semiconductor chip and the golden wire perimeter is carried out by resin.

[0006] In drawing 7, a sign 104 shows the wiring layer of the outside electrically connected with the above-mentioned semiconductor chip, and consists of coppering. Although this outside wiring layer 104 and said especially wiring layer of the package inside are not illustrated, they interconnect electrically through the embedded wiring layer in the through hole formed in the substrate 102 for a package, for example, or the substrate 102 for a package.

[0007] In BGA100, on the wiring layer 104 which consists of copper, the laminating of the nickel-plating layer 106 and the gold plate layer 108 is carried out to order, and, thereby, the land 110 of a pewter ball is formed as shown in drawing 7. The nickel-plating layer 106 forms a soldered joint between pewter balls. Moreover, the gold plate layer 108 is a layer for preventing that the front face of the nickel-plating layer 106 will oxidize by the time this soldered joint is formed, and pewter wettability and the adhesion of a pewter ball fall. For a wiring layer 104, 25-30 micrometers and the nickel-plating layer 106 are [5 micrometers or more and the gold plate layer 108 of each plating layer thickness] 0.5 micrometers or more. Thus, the perimeter of the constituted land 110 is covered by the solder-resist film 112, and the pewter ball 114 is formed in the upper part of the gold plate layer 108. In case this solder-resist film 112 forms the pewter ball 114 by solder paste print processes, it restricts the touch area of solder paste and a land 110. For this reason, the height of the pewter ball 114 formed can be made as high as possible. Therefore, when adopting other approaches, for example, the pewter ball carrying method, this solder-resist film 112 may be omitted.

[0008] If it states concretely, after solder paste is imprinted by screen-stencil on a land 110 in the case of solder paste print processes, the pewter ball 114 with a spherical front face will be formed on a land 110 by heating and carrying out a reflow. On the other hand, in the case of the pewter ball carrying method, after applying flux to the whole base of the substrate 102 for a package and the pewter ball 114 which was formed independently and aligned on the fixture is transferred by heat-treatment on a land 110, the pewter ball 114 fixes on a land 110 through a reflow.

[0009] Thus, where a face down is carried out to the printed circuit board for mounting (mother board), the surface mount of BGA100 in which the pewter ball was formed is carried out through the pewter ball 114. At this time, the pewter ball 114 is heated from the outside, and when pewter ball 114 the very thing dissolves with that heat, it fixes in the ball pad section formed in the mother board which is not illustrated.

[0010]

[Problem(s) to be Solved by the Invention] However, since nickel atom in the nickel-plating layer 106 will be spread in the gold plate layer 108 with the heat and will arrive at the front face of the gold plate layer 108 if the base side of BGA100 is heated in case the pewter ball 114 is formed beforehand, or in case the pewter ball 114 is made to fix on a mother board at the time of mounting of BGA, the front face becomes being easy to oxidize, and the adhesion of the pewter ball 114 falls.

[0011] In order to prevent the attainment to the pewter ball 114 of this nickel atom, the cure which thickens a gold plate layer is effective, and thickens the gold plate layer 108 in comparison with 0.5 micrometers or more with the above-mentioned configuration. However, in the process which Au atom diffuses in a pewter in the above-mentioned heat-treatment, if the gold plate layer 108 is not much thick, since remainder has much amount of supply of Au, the alloy layer of Au and tin (Sn) will be uniformly formed in an interface with the nickel-plating layer 106. Since this Au-Pb alloy layer is hard and weak, in an interface with the nickel-plating layer 106, the pewter ball 114 may exfoliate and it may drop out.

[0012] Moreover, it is not a desirable thing that the gold plate layer 108 is thick, even if expensive gold will be used so much and it thinks from a cost side.

[0013] This invention aims at offering the semiconductor device which prevented effectively the adhesion fall of the pewter ball by heat treatment in an elevated temperature, and its manufacture approach, being made in view of the situation mentioned above, and holding down a manufacturing cost low. Moreover, this invention sets it as other purposes to offer the substrate for a package which can be used suitable for manufacture of the above-mentioned semiconductor device.

[0014]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the semiconductor

device of this invention A semiconductor chip and the substrate for a package with which the semiconductor chip concerned was fixed, The wiring layer electrically connected to the rear face of the electrode pad which was formed in the substrate for a package concerned and was prepared in the front face of said semiconductor chip, or said semiconductor chip, The nickel layer by which the land formed on the wiring layer concerned and the front face which fixed on the land concerned were equipped with the spherical terminal object, and said land was formed on the part of said wiring layer. It is the semiconductor device which has the gold layer which touches said terminal object, and the diffusion blocking layer which prevents that the nickel in said nickel layer carries out thermal diffusion into said gold layer between the layers of said nickel layer and said gold layer intervenes.

[0015] In BGA etc., this land and a terminal object may be prepared in the base of the substrate for a package as an external terminal, and may be established as an internal junction terminal of a semiconductor chip and the substrate for a package in BGA or CSP. This diffusion blocking layer consists of an alloy of palladium or palladium, and other metals preferably. Moreover, said gold layer is thinner than said diffusion blocking layer preferably.

[0016] The manufacture approach of the semiconductor device of this invention to the substrate for a package with which a semiconductor chip is fixed The wiring layer electrically connected to the rear face of the electrode pad prepared in said semiconductor chip front face or said semiconductor chip is formed. It is the manufacture approach of a semiconductor device that form a land on the wiring layer concerned and a front face forms a spherical terminal object on the land concerned. After forming a nickel layer with plating on said wiring layer, forming a conductive diffusion blocking layer on said nickel layer on the occasion of formation of said land and forming a gold layer with plating on said diffusion blocking layer, in the formed land department Said terminal object is formed on said land according to a process including heating, preventing that the nickel in said nickel layer carries out thermal diffusion to said upper gold layer with said diffusion inhibition film.

[0017] This process is applicable to either the outside land for external terminals, or the inside land for internal formation of the substrate for a package, and a semiconductor chip. Moreover, it is good preferably to form said gold layer by the flash plating method more thinly than said diffusion blocking layer.

[0018] According to the semiconductor device and its manufacture approach of this invention, a front face forms a spherical terminal object with heating as an external terminal on the land formed in the substrate side for a package. Moreover, in case a semiconductor chip is fixed on the substrate for a package, the terminal object formed on the electrode pad of a semiconductor chip as a terminal object for internal connection is welded with heating on the inside land formed in the substrate top face for a package. Furthermore, in case the surface mount of the semiconductor device concerned is carried out on a mother board etc. after that, welding of the external terminal object is carried out to the ball pad section prepared on the mounting substrate by heating. Although it is going to spread in the upper layer side in which nickel atom in a nickel layer began vibration, and the gold layer was prepared if a land is heated in the case of which [this], diffusion into a gold layer is prevented by the diffusion blocking layer, and that nickel atom is confined in a nickel layer. For this reason, nickel atom does not reach on the surface of a gold layer like before. By mediation of such a diffusion blocking layer, even if it makes the gold layer of the upper layer thin, the adhesion of a terminal object does not fall.

[0019] Moreover, at the time of the heating, Au atom in a gold layer and the configuration atom (for example, Pd atom) of a diffusion blocking layer are spread in the terminal inside of the body to coincidence. However, in this invention, since a gold layer can be made thin, even if Au atom combines with the configuration atom (for example, Sn in a pewter) of a terminal object in that case, this alloy layer is not uniformly formed in the interface of a nickel layer as a layer in which the adhesion of a terminal object is reduced.

[0020] The wiring layer electrically connected to the rear face of the electrode pad which the substrate for a package of this invention was formed at least in one side of the field where a semiconductor chip is fixed, and the field which countered this, and was prepared in the front face of said semiconductor chip, or said semiconductor chip, The nickel layer which has the land in which it is formed on the wiring layer

concerned, and the terminal object which attains internal connection with said semiconductor chip fixes, or a terminal object with a front face spherical as an external terminal is formed and by which the land concerned was formed on said wiring layer, It is the substrate for a package which has the gold layer which touches said terminal object, and the diffusion blocking layer which prevents that the nickel in said nickel layer carries out thermal diffusion into said gold layer between the layers of said nickel layer and said gold layer intervenes.

[0021]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to drawing. This invention relates to the substrate for a package which can be used suitable for manufacture of the package-sized semiconductor device, the manufacture approach, and the semiconductor device concerned. The semiconductor device concerning this invention is the so-called BGA (Ball Grid Array) and CSP (Chip Size Package). It is widely applicable. BGA is P-BGA (Plastic Ball Grid Array) which the substrate for a package becomes from resin, a ceramic, or copper roughly according to the ingredient and structural description, respectively, C-BGA (Ceramic BallGrid Array), and S-BGA (Super Ball Grid Array). Subclassification can be carried out to what added T-BGA (Tape Ball Grid Array) having the description of BGA and TAB (Tape Automated Bonding) to this. This invention is widely applicable also to these any.

[0022] The 1st operation gestalt book operation gestalt is related with P-BGA, C-BGA, and S-BGA. The sectional view showing the example of structure of the semiconductor device which drawing 1 requires for this operation gestalt, and drawing 2 are the important section expanded sectional views of the pewter ball used as the external terminal of the semiconductor device shown in drawing 1, and a land.

[0023] In drawing 1, the substrate for a package for BGA whose sign 1 is the semiconductor device of this operation gestalt, and 2 to mainly maintain the mechanical reinforcement of BGA, and 4 are semiconductor chips.

[0024] In P-BGA (for example, BT (Bismaleimide Triazine) epoxy material), the substrate 2 for a package becomes. Although BT epoxy material is the same as the ingredient used for a common printed-circuit board, since the heat history in a production process until it becomes a BGA package being severe, and direct bonding of a semiconductor chip 4 are needed, it is the resin ingredient which raised thermal resistance.

[0025] The diamond touch layer 6 which fixes a semiconductor chip 4, and the inside wiring layer 8 of that perimeter are formed in the field (this field is hereafter called "inside") side in which the semiconductor chip 4 of the substrate 2 for a package is laid of etching. On this diamond touch layer 6, the semiconductor chip 4 is being fixed through the silver paste 10 from that rear-face side. Moreover, supply voltage and the inside wiring layer 8 for signals are electrically connected by the golden wire 12 to the electrode pad formed in the front face of a semiconductor chip 4. And the closure of a part of these semiconductor chip 4, golden wire 12, and inside wiring layer 8 is carried out with mold resin 14.

[0026] Similarly, of etching, as shown also in drawing 2, the outside wiring layer 16 is formed in the field (this field is hereafter called "external surface") of the opposite side of the substrate 2 for a package. On this outside wiring layer 16, the pewter ball 18 as an external terminal object of a package has fixed through two or more deposits so that it may mention later. The surface parts of the outside whole region of the substrate 2 for a package of this pewter ball 18 perimeter and the inside wiring layer 8 around [mold resin 14] a semiconductor chip loading side are covered with the solder-resist film 20.

[0027] The thermal buyer hole (Thermal Via Hole) 22 for raising two kinds of through tubes to which the coat of the wall was carried out with the electric conduction film, respectively, i.e., the heat dissipation nature of BGA, and the through hole 24 for supply voltage and signals (Through Hole) are established in the substrate 2 for a package. The thermal buyer hole 22 has connected electrically predetermined number *****, the diamond touch layer 6 and the outside wiring layer 16 for touch-down concerned, and the pewter ball 18 for touch-down to the rear-face side of the diamond touch layer 6. A through hole 24 is formed as an electric path which connects electrically the inside wiring layer 8, supply voltage or the outside wiring layer 16 for signals, and the pewter ball 18. By this, a wiring path is minimum-distance-ized, reduction of the inductance used as a noise source etc.,

compaction of signal delay, etc. are attained, and high performance-ization of a semiconductor device is attained.

[0028] As shown in drawing 2, on the outside wiring layer 16 of the substrate 2 for a package, the land 26 is formed at the part equipped with the pewter ball 18. A land 26 comes to carry out the laminating of the palladium deposit 30 and the gold plate layer 32 as the nickel-plating layer 28 and a diffusion blocking layer of nickel to order for example, on the outside wiring layer 16 which consists of copper. As for the thickness of each class, 0.02-0.5 micrometers and the gold plate layer 32 are set [the outside wiring layer 16 / 25-30 micrometers and the nickel-plating layer 28] as about 0.003-0.01 micrometers for 5 micrometers or more and the palladium deposit 30.

[0029] The nickel-plating layer 70 is for maintaining the thermal resistance of the gold plate layer 32 while it is formed as a barrier metal of the outside wiring layer 16 and raises antioxidizing of the outside wiring layer 16, and thermal resistance. Moreover, the gold plate layer 32 is a layer for preventing that the front face of the nickel-plating layer 28 will oxidize by the time a soldered joint is formed between a land 26 and the pewter ball 18, and pewter wettability and the adhesion of the pewter ball 18 fall. In case the pewter ball contact part of this gold plate layer 32 heats the land 26 at the time of pewter ball fixing, thermal diffusion of it is carried out into the pewter ball 18.

[0030] The diffusion blocking layer 30 which is the description of this invention, i.e., the palladium deposit of this example, is formed in order to prevent the diffusion to the gold plate layer 32 of nickel atom in the nickel-plating layer 28 at the time of heating of a land 26. This palladium deposit 30 may be made to constitute from an alloy of others, Pd, and other metals (for example, nickel). [Pd / pure] Moreover, you may constitute, the metal, for example, the nickel-W alloy etc., of the others which demonstrate the function of a diffusion blocking layer etc.

[0031] When there is no diffusion blocking layer like a configuration before, nickel atom in a nickel-plating layer is spread in a gold plate layer with the heat, thereby, since a nickel atom arrives at the front face of a gold plate layer partially, the front face becomes being easy to oxidize at the time of heating of a land, and the adhesion of a pewter ball falls at it. In order to prevent the attainment to the pewter ball of this nickel atom, the cure which thickens a gold plate layer is effective, and thickens the gold plate layer in comparison with 0.5 micrometers or more with the conventional configuration. However, in the process which Au atom diffuses in a pewter in the above-mentioned heat-treatment, if a gold plate layer is not much thick, since remainder has much amount of supply of Au, the alloy layer of Au and tin (Sn) will be uniformly formed in an interface with a nickel-plating layer. Since this Au-Sn alloy layer is hard and weak, in an interface with a nickel-plating layer, a pewter ball may exfoliate and it may drop out.

[0032] On the other hand, with this operation gestalt, the palladium deposit 30 is made to intervene between the nickel-plating layer 28 and the gold plate layer 32, and nickel atom is confined in the nickel-plating layer 28. For this reason, oxidation of land 26 front face is prevented, and also the gold plate layer 32 can be thinly formed for example, using the flash plating method. If the gold plate layer 32 is made thin, Au atom can lessen the amount diffused in a pewter, will control generation of an Au-Pb alloy layer as the result, and will become possible [preventing pewter ball 18 omission effectively]. In addition, this palladium deposit 30 as well as the gold plate layer 26 is diffused in a pewter at the time of heating. Therefore, in process of this thermal diffusion, the palladium deposit 30 achieves the function to achieve the duty which prevents that the nickel-plating layer 28 of a substrate oxidizes with the gold plate layer 26, and, finally a good soldered joint is formed between the nickel-plating layer 28 and the pewter ball 18.

[0033] Thus, the perimeter of the constituted land 26 is covered by the solder-resist film 20, and the pewter ball 18 is formed on the land 26. Although mentioned later for details, in case this solder-resist film 20 forms the pewter ball 18 by solder paste print processes, it restricts the touch area of solder paste and a land 18. And the area of opening of the solder-resist film 20, thickness, and a relative position with a land become important, when controlling the height of the pewter ball 18. It is the need of furthermore having terms and conditions, such as thermal resistance, moisture resistance, and insulation, as a surface protective coat of a semiconductor package. When adopting the pewter ball forming methods other than solder paste print processes, for example, the pewter ball carrying method, a mere

protective coat can be substituted for this solder-resist film 20.

[0034] A spherical diameter is ***** it is [*****] 0.15-1.5mmphi extent, for example, there are various classes, such as a low-melt point point [that the melting point is about 180 degrees] pewter, or a high-melting pewter whose melting point 90% and Sn is about 250 degrees at 10% for Pb, at 40%, and, as for the pewter ball 18, Pb is suitably chosen for 60% and Sn according to an assembly process, as for these. As a pewter ball 18, it needs to be controlled with a precision sufficient [magnitude] in order to ensure electric connection with the ball pad by the side of the mother board at the time of mounting, and for the height to prevent the short circuit between a ****, and reinforcement and a contiguity terminal more than fixed.

[0035] Below, the manufacture approach of BGA1 is explained. First, the substrate for a package in which the predetermined through tube was formed is prepared, and the copper film which serves as the diamond touch layer 6 and wiring layers 8 and 16 to both sides is formed for example, by the sputtering method. At this time, the coat of the wall of a through tube is carried out by the copper film, and the thermal buyer hole 22 and a through hole 24 are formed. Patterning of the formed copper film is carried out to the next, and the diamond touch layer 6 and wiring layers 8 and 16 are formed in it.

[0036] Photograph solder-resist ink is used from both-sides side of the substrate 2 for a package after the process completion mentioned above, and the solder-resist film 20 is formed in the circumference part of the field by which resin mold is carried out, and the boundary region of each land 26. Both, since [for which the relative position and thickness to each land 26 of the solder-resist film 20 are correctly managed at this time] resin mold and metal plating are carried out later, it is necessary to embed beforehand the inside of the thermal buyer hole 22 and a through hole 22 in solder-resist ink.

[0037] Next, a land 26 is formed in the rear face (external surface) of the substrate 2 for a package. Specifically, sequential formation of the nickel-plating layer 28 and the palladium deposit 30 is carried out by electrolysis or the electroless deposition method at the part which carried out opening by solder resist 20. Furthermore, the gold plate layer 32 is formed by the flash plating method.

[0038] Then, die bonding, wirebonding, and resin molding are performed according to a conventional method. That is, after applying the silver paste 10 to the diamond touch layer 6 and laying a semiconductor chip 4 on it, predetermined conditions are heat-treated in order to make the silver paste 10 solidify. Moreover, after connecting the inside wiring layer 8 with the electrode pad on a semiconductor chip 4 with the golden wire 12, mold resin is poured in within metal mold, the resin seal of the semiconductor chip 4 is carried out, and it is picked out from metal mold after a cure.

[0039] Next, the pewter ball 18 is formed by solder paste print processes. If a reflow is specifically heated and carried out after carrying out imprint ** of the solder paste by screen-stencil on a land 26, the pewter ball 18 with a spherical front face will be formed on a land 26. At the time of formation of this pewter ball, Pd and Au carry out thermal diffusion into solder paste, and, finally a soldered joint is formed between the nickel-plating layer 28 and the pewter ball 18. In this heating process, nickel-plating layer 28 front face of a substrate is protected by the palladium deposit 30 and the gold plate layer 26, and that scaling is prevented by them. Moreover, as described above with this operation gestalt at the time of this pewter ball formation or subsequent heating, nickel atom is confined by the palladium deposit 30 in the nickel-plating layer 28, and oxidation of land 26 front face is prevented effectively. Furthermore, since the gold plate layer 32 can be thinly formed as described above, formation of the Au-Sn alloy layer in a soldered joint interface can be controlled effectively. For the above reason, the soldered joint formed between the nickel-plating layer 28 and the pewter ball 18 will become good.

[0040] The pewter ball carrying method for having used the flux or solder paste other than solder paste print processes described above as a pewter ball forming method is employable. By these pewter ball carrying methods, after applying flux to the whole base of the substrate 2 for a package (or solder paste printing) and the pewter ball 18 which was formed independently and aligned on the fixture is transferred by heat-treatment on a land 26, the pewter ball 114 fixes on a land 26 through a reflow. In addition, when using flux, washing removes after that the excessive flux which remains on the base of the substrate 2 for a package.

[0041] Thus, where a face down is carried out to the printed circuit board for mounting (mother board),

the surface mount of BGA1 equipped with the pewter ball 18 is carried out through the pewter ball 18. At this time, the pewter ball 18 is heated from the outside, and when pewter ball 18 the very thing dissolves with that heat, it fixes in the ball pad section formed in the mother board which is not illustrated.

[0042] In addition, modification various with this operation gestalt is possible. For example, the adoption of the flip chip method performed by putting in block a silver paste coating method and not only the wirebonding method but both is possible for the fixed approach of a semiconductor chip 4, and the terminal strapping approach like the above. By the flip chip method, the inside land of the same configuration as the land 26 described above also to the inside of the substrate 2 for a package is prepared. Moreover, as "a terminal object for internal connection" of this invention, the pewter bump is beforehand formed on the inside land concerned or the electrode pad of a semiconductor chip, and the substrate 2 for a package is connected with IC through this. In this inside land, omission of a terminal object and the fall of fixing reinforcement are similarly prevented with having described above. In addition, this flip chip method is described in detail in the 3rd operation gestalt mentioned later.

[0043] Moreover, although [the above-mentioned explanation] a pewter ball consists of lead and tin, the quality of the material of a pewter ball is not limited to this. That is, by the pewter ball carrying method, the copper which has high thermal conductivity and high electrical conductivity may be formed in a highly precise solid sphere, and the pewter ball which performed uniform pewter coating to the front face may be used. As quality of coating material in this case, it is good to use an eutectic pewter, a silver paste, nickel, etc. Furthermore, as for the ingredient of the substrate 2 for a package, in a ceramic and S-BGA, copper is chosen, as for the case of C-BGA. A thin substrate is made into the structure which carried out the laminating, the electric path of that interior is not limited to a through hole, but the wiring layer embedded between laminated circuit boards may realize this substrate 2 for a package. In addition, instead it omits a thermal buyer hole, or it prepares a heat sink, various modification, such as replacing with resin molding and enclosing IC by the cap seal, is possible.

[0044] With the gestalt of this operation, by having made the palladium deposit 30 intervene as a diffusion blocking layer in the land 26 of a terminal object, thermal oxidation of land 26 front face is prevented, and a hard and weak layer like for example, an Au-Sn alloy layer is not formed between a land 26 and a terminal object. For this reason, there is an advantage which a good soldered joint is attained, consequently omission of a terminal object and the fall of fixing reinforcement can prevent effectively. Moreover, expensive Au can be saved from Au layer being thinly formed for example, by the flash plating method etc., and there is an advantage which holds down a manufacturing cost at this point.

[0045] The 2nd operation gestalt book operation gestalt is the case where this invention is applied to T-BGA. Drawing 3 is the outline sectional view showing the example of 1 configuration of the semiconductor device concerning this operation gestalt. In drawing 3, T-BGA which a sign 40 requires for this operation gestalt, and 42 show the substrate for a package.

[0046] The substrate 42 for a package in this operation gestalt consists of a stationary plate 44 which consists of metal, such as copper, in order to secure mechanical strength, and a TAB tape 46 made from polyimide of a stationary plate 44 stuck on the field through adhesives on the other hand. After sticking copper foil with adhesives, the pattern which consists of an outside wiring layer 16 and inner lead 46a is formed in the external surface of the TAB tape 46 by etching this into a predetermined pattern. The predetermined outside wiring layer 16 and interconnect of inner lead 46a are attained in this pattern. And the TAB tape 46 remaining front face which carried out opening of the perimeter of the outside wiring layer 16 is covered with the solder-resist film 20.

[0047] The central part of this substrate 42 for a package has become hollow frame-like, in it, is in the condition which the semiconductor chip 4 connected with the TAB tape 46 electrically, and is being fixed with closure resin 48. Concretely, thermocompression bonding of the part for the point of inner lead 46a is carried out on the electrode pad with which the semiconductor chip 4 was formed in the front face. And the semiconductor chip 4 is being fixed to the TAB tape 46 with closure resin 48 in the part which reaches the hollow within the limit wall of the substrate 42 for a package from the whole front

face. Thereby, the electric connection between a semiconductor chip and the outside wiring layer 16 is attained through inner lead 46a. On the other hand, the heat sink 49 made from metal is being fixed to the rear face of a semiconductor chip 4, and the external surface of a stationary plate 44 by conductive adhesives etc.

[0048] On each outside wiring layer 16, the same deposits 28 and 30 as drawing 2 and the land 26 of the laminating configuration of 32 were formed, and the pewter ball 18 as an external terminal object has fixed on it.

[0049] Area arrangement of the electrode drawer side of a semiconductor chip 4 and the fixed side of an external terminal object (pewter ball 18) is carried out mostly at the shape of same side, and, as for T-BGA40 of such a configuration, connection between a semiconductor chip 4 and an external terminal object is attained by only much more wiring layer pattern. For this reason, T-BGA40 has a short signal transduction path in that package, and has the advantage that a parasitism inductance and parasitism capacitance are small. Therefore, this T-BGA40 is suitable for [for high speed signal processing that clock frequency is high] ICs.

[0050] Below, an example of an approach which manufactures T-BGA40 is explained. First, after forming circuit patterns 16 and 46a in the whole surface of a polyimide layer and forming the solder-resist film 20 on it, the extraction of a polyimide layer is performed and the TAB tape 46 is formed beforehand. Moreover, the land 26 which consists of a cascade screen of a deposit is formed by the same approach as the 1st operation gestalt on the outside wiring layer 16 expressed to opening of the solder-resist film 20 at the time of formation of this TAB tape 46.

[0051] And after attaching a semiconductor chip 4 and a stationary plate 44 on a heat sink 49, on a stationary plate 44, the TAB tape 46 is pasted up and it fixes. In this immobilization, after performing alignment for the electrode pad currently formed in the front face of a semiconductor chip 4, and the terminal area of inner lead 46a, the TAB tape 46 is pasted up on a stationary plate 44. In addition, the metal bump is formed in the one side of an electrode pad and inner lead 46a, and connection of an electrode pad and inner lead 46a is attained by making inner lead 46a heat and stick by pressure from an outside the time of immobilization of the above-mentioned TAB tape 46, or after that.

[0052] Next, it applies to a side face from the front face of a semiconductor chip 4, slush and carry out the cure of the closure resin 48 to the clearance between the TAB tapes 46, and let immobilization of a semiconductor chip 4 be a perfect thing.

[0053] Finally, by the same approach as the 1st operation gestalt, the pewter ball 18 is fixed and T-BGA40 concerned is completed.

[0054] The semiconductor device (T-BGA40) concerning this 2nd operation gestalt, and its manufacture approach Like the 1st operation gestalt, since the palladium deposit 30 intervenes in a land 26, thermal oxidation of land 26 front face is prevented, and a hard and weak layer like an Au-Sn alloy layer is formed between a land 26 and a terminal object. A sake, There is an advantage which a soldered joint good to the interface is attained, consequently omission of a terminal object and the fall of fixing reinforcement can prevent effectively. Moreover, expensive Au can be saved from Au layer being thinly formed for example, by the flash plating method etc., and there is an advantage which holds down a manufacturing cost at this point.

[0055] In addition, with this operation gestalt, a land can be beforehand formed in outside wiring layer 46a of the TAB tape 46. Therefore, since the rest should just fix the TAB tape 46 and other members, it has the advantage that it is as simple as a package assembler and there is no assembly cost from complementary Rika.

[0056] The 3rd operation gestalt book operation gestalt is the case where this invention is applied to CSP. Drawing 4 is the outline perspective view of the semiconductor device (CSP) concerning this operation gestalt. In this CSP50, the semiconductor chip 4 is laid on INTAPOZA 52 as "a substrate for a package" of this invention, and the closure is carried out with closure resin 54.

[0057] Drawing 5 is the sectional view of this CSP. The semiconductor chip 4 is being connected mechanically and electrically to INTAPOZA 52 by the solder bump 56, and it fills up with closure resin 54 between a semiconductor chip 4 and INTAPOZA 52. The terminal 60 established in the rear-face

side of INTAPOZA 52 in the shape of an array and the solder bump 56 are electrically connected through the through hole 58 established in INTAPOZA 52. A terminal 60 is soldered to the printed circuit board (mother board) which consists of a glass epoxy system ingredient and which is not illustrated as an external terminal.

[0058] Drawing 6 is the expanded sectional view of the solder bump formation section and the terminal upper part. Overcoat 4b carries out opening on electrode pad 4a formed on the surface of the semiconductor chip, and barrier metal 4c is formed on it. a barrier metal 4c top -- ** -- the spherical pewter bump 56 is formed. On the other hand, on the terminal 60 of INTAPOZA 52, the inside wiring layer 62 which consists of copper is formed, and the land 26 is formed on it. Although the 1st operation gestalt and the same gestalt (drawing 2) are sufficient as a land 26, by this drawing 6 , opening of the solder-resist film 20 is limited to inside wiring layer 62 top face, and the land 26 which consists of the nickel-plating layer 28, a palladium deposit 30, and a gold plate layer 32 is formed from the lower layer so that that opening may be embedded.

[0059] A miniaturization and densification are attained by setting this semiconductor device to CSP the top where structure is simple.

[0060] Below, the manufacture approach of the semiconductor device (CSP50) of the above-mentioned configuration is explained. For example, the solder bump 56 is formed according to a conventional method on the electrode pad of the semiconductor chip 4 which integrated and formed various semiconductor devices, such as a transistor, on the silicon substrate, and barrier metal 4c. On the other hand, a conductor is formed in the through hole 58 formed in the shape of an array, a circuit pattern (a terminal 60 and inside wiring layer 62) is printed, and INTAPOZA 52 is formed so that it may connect with the conductor in a through hole 58 if needed further. After carrying out opening on the inside wiring layer 62 and forming the solder-resist film 20, by plating or the flash plating method, the laminating of each above-mentioned deposits 28, 30, and 32 is carried out one by one, and a land 26 is formed.

[0061] After performing flux processing all over this land side, it positions so that a land 26 and the solder bump 56 may be connected, and a semiconductor chip 4 is laid on INTAPOZA 52. Predetermined heat treatment is performed, the solder bump 56 is fused, and a semiconductor chip 4 and INTAPOZA 52 are connected mechanically and electrically by cooling after that.

[0062] Next, the gap of a semiconductor chip 4 and INTAPOZA 52 is filled up with the closure resin 54 which consists of thermosetting resin, and it closes by performing a cure (hardening) process. Thus, the terminal 60 is soldered on the conductive pattern of the mother board which for example, a glass epoxy system does not illustrate, and the package-ized semiconductor device is used.

[0063] In addition, the external terminal object which consists of a pewter ball etc. is beforehand fixed in the terminal 60 of the base of CSP50, and it may be made to make connection with a mother board in it by the same configuration as the 1st operation gestalt, and the formation approach through an external terminal object at the time of mounting.

[0064] The semiconductor device (CSP50) of this operation gestalt like the 1st operation gestalt Since the palladium deposit 30 intervenes in a land 26, thermal oxidation of land 26 front face is prevented, and a hard and weak layer like an Au-Sn alloy layer is formed between a land 26 and a terminal object (solder bump 56). A sake, There is an advantage which a soldered joint good to the interface is attained, consequently omission of a terminal object and the fall of fixing reinforcement can prevent effectively. Moreover, expensive Au can be saved from Au layer being thinly formed for example, by the flash plating method etc., and there is an advantage which holds down a manufacturing cost at this point.

[0065]

[Effect of the Invention] According to this invention, though it is a cheap manufacturing cost, by heat treatment in an elevated temperature, it can have a terminal object without the fall of adhesion, and a semiconductor device with high manufacture yield and dependability and its manufacture approach can be offered. Moreover, the usable substrate for a package can be offered suitable for the manufacture approach.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the example of structure of the semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the important section expanded sectional view of the pewter ball used as the external terminal of the semiconductor device shown in drawing 1, and a land.

[Drawing 3] It is the sectional view of the semiconductor device concerning the 2nd operation gestalt of this invention.

[Drawing 4] It is the perspective view of the semiconductor device concerning the 3rd operation gestalt of this invention.

[Drawing 5] It is the sectional view of the semiconductor device of drawing 1.

[Drawing 6] It is the expanded sectional view of the solder bump formation section and the terminal upper part.

[Drawing 7] It is the sectional view of the part centering on the external terminal (pewter ball) prepared in the base of the conventional BGA.

[Description of Notations]

1 40 -- 2 BGA (semiconductor device), 42 -- The substrate for a package, 6 -- Diamond touch layer, 8 62 [-- Mold resin,] -- An inside wiring layer, 10 -- A silver paste, 12 -- A golden wire, 14 16 -- An outside wiring layer, 18 -- A pewter ball, 20 -- Solder-resist film, 22 -- 24 A thermal buyer hole, 58 -- A through hole, 26 -- Land, 28 -- A nickel-plating layer, 30 -- A palladium deposit, 32 -- Gold plate layer, 44 [-- Closure resin, 49 / -- A heat sink, 50 / -- CSP (semiconductor device), 52 / -- INTAPOZA (substrate for a package), 56 / -- A solder bump, 60 / -- Terminal.] -- A stationary plate, 46 -- A TAB tape, 46a -- 48 An inner lead, 54

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-22027
(P2000-22027A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12		H 0 1 L 23/12	L 4 M 1 0 5
21/60		21/60	3 1 1 S
// H 0 1 L 21/60	3 1 1	21/92	6 0 3 D

審査請求 未請求 請求項の数17 O L (全 11 頁)

(21) 出願番号 特願平10-182220

(22) 出願日 平成10年6月29日 (1998.6.29)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 松本 美幸

大分県東国東郡国東町大字小原3319番地の

2 ソニー大分株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

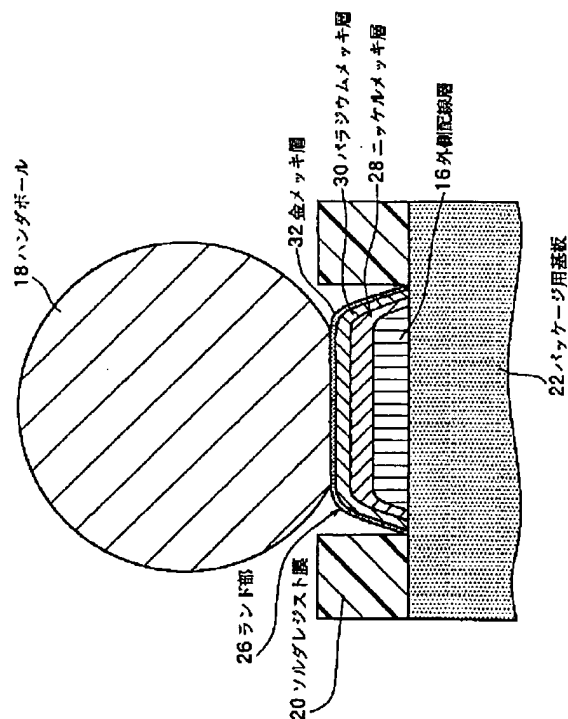
Fターム(参考) 4M105 AA13 AA16 FF05 FF06

(54) 【発明の名称】 半導体装置、その製造方法およびパッケージ用基板

(57) 【要約】

【課題】 BGAにおいてハンダボールの密着性が加熱工程で低下する。

【解決手段】 パッケージ用基板22の裏面に設けた外部端子体、または半導体チップとパッケージ用基板22間の内部結線用の端子体として、配線層16上のランド部26に表面が球状の端子体18を固着させてなる半導体装置である。このランド部26が、配線層16上のニッケル層28と端子体18に接する金層32とを有し、両者間に、例えばPd又はPd合金からなり、Niが金層32内に熱拡散するのを阻止する拡散阻止層30が介在している。拡散阻止層30によりNiの上層拡散が阻止され、これによりランド部26表面が酸化されにくくなる一方で、金層32をフラッシュメッキ法等により薄くできるので、例えばAu-Sn合金等の固くて脆い層がハンダ接合面に形成されにくくなる。



【特許請求の範囲】

【請求項1】半導体チップと、当該半導体チップが固定されたパッケージ用基板と、当該パッケージ用基板に形成され、前記半導体チップの表面に設けられた電極パッドまたは前記半導体チップの裏面に電氣的に接続された配線層と、当該配線層上に形成されたランド部と、当該ランド部上に固着された表面が球状の端子体とを備え、前記ランド部が、前記配線層の部分上に形成されたニッケル層と、前記端子体に接する金層とを有する半導体装置であって、

前記ニッケル層と前記金層との層間に、前記ニッケル層内のニッケルが前記金層内に熱拡散するのを阻止する拡散阻止層が介在している半導体装置。

【請求項2】前記ランド部は、前記パッケージ用基板の前記半導体チップが固定された面と反対側の面に形成され、当該半導体装置の外部端子として、前記端子体が前記ランド部上に固着されている請求項1に記載の半導体装置。

【請求項3】前記半導体チップが、前記パッケージ用基板に形成された中空枠内に固定されて前記配線層とインナーリードにより接続され、前記ランド部は、前記半導体チップの前記インナーリードが接続された面と同じ側の前記パッケージ用基板上に形成され、当該半導体装置の外部端子として、前記端子体が前記ランド部上に固着されている請求項1に記載の半導体装置。

【請求項4】前記拡散阻止層は、パラジウム、又は、パラジウムと他金属との合金からなる請求項1に記載の半導体装置。

【請求項5】前記金層は、前記拡散阻止層よりも薄い請求項1に記載の半導体装置。

【請求項6】半導体チップと、当該半導体チップが表面側から固定されたパッケージ用基板と、当該パッケージ用基板の半導体チップ固定面に形成され、パッケージの外部端子と電氣的に接続される内側配線層と、当該内側配線層上に形成され、対向する前記半導体チップの表面に設けられた電極パッドに対し、内部結線用の端子体を介して電氣的に接続された内側ランド部とを備え、前記内側ランド部は、前記内側配線層上に形成されたニッケル層と、前記端子体に接する金層とを有する半導体装置であって、前記ニッケル層と前記金層との層間に、前記ニッケル層内のニッケルが前記金層内に熱拡散するのを阻止する拡散阻止層が介在している半導体装置。

【請求項7】前記パッケージ用基板の半導体チップ固定面と反対側の面に形成された外側ランド部と、当該外側ランド部の表面に形成された表面が球状の外部端子体とを更に有し、

前記外側ランド部は、前記拡散阻止層を含む前記内側ランド部と同じ積層構造を有する請求項6に記載の半導体装置。

【請求項8】前記拡散阻止層は、パラジウム、又は、パラジウムと他金属との合金からなる請求項6に記載の半導体装置。

【請求項9】前記金層は、前記拡散阻止層よりも薄い請求項6に記載の半導体装置。

【請求項10】半導体チップが固定されるパッケージ用基板上に、前記半導体チップ表面に設けられた電極パッドまたは前記半導体チップの裏面に電氣的に接続される配線層を形成し、当該配線層上にランド部を形成し、当該ランド部上に表面が球状の端子体を固着する半導体装置の製造方法であって、

前記ランド部の形成に際し、前記配線層上にメッキ法によりニッケル層を形成し、

前記ニッケル層上に導電性の拡散阻止層を形成し、

前記拡散阻止層上にメッキ法により金層を形成した後、

形成したランド部内で、前記拡散阻止層により、前記ニッケル層内のニッケルが上層の前記金層に熱拡散すること

を阻止しながら、前記端子体を加熱を含む工程によって前記ランド部上に固着する半導体装置の製造方法。

【請求項11】前記金層を、フラッシュメッキ法により前記拡散阻止層より薄く形成する請求項10に記載の半導体装置の製造方法。

【請求項12】半導体チップが表面側から固定されるパッケージ用基板の面に、パッケージの外部端子に電氣的に接続される内側配線層を形成し、当該内側配線層上に内側ランド部を形成し、前記半導体チップを前記パッケージ用基板上に固定する際に、当該半導体チップの表面に設けられた電極パッドを内部結線用の端子体を介して前記内側ランド部に電氣的に接続する半導体装置の製造方法であって、

前記内側ランド部の形成に際し、前記内側配線層上にメッキ法によりニッケル層を形成し、

当該ニッケル層上に導電性の拡散阻止層を形成し、

前記拡散阻止層上にメッキ法により金層を形成した後、

形成した前記内側ランド部内で、前記拡散阻止層によ

って前記ニッケル層内のニッケルが上層の前記金層に熱拡散することを阻止しながら、前記半導体チップを、加熱を含む工程によって前記内部結線用の端子体を介して前記内側ランド部に固着する半導体装置の製造方法。

【請求項13】前記パッケージ用基板の半導体チップ固定面と反対側の面に、前記内側ランド部に電氣的に接続される外側配線層を形成し、

当該外側配線層上に、下層からニッケル層、拡散阻止層、金層によりなる外側ランド部を形成し、

形成した前記外側ランド部内で、前記拡散阻止層によ

って前記ニッケル層内のニッケルが上層の前記金層に拡散することを阻止しながら、表面が球状の外部端子体を、

加熱を含む工程によって前記外側ランド部上に形成する請求項12に記載の半導体装置の製造方法。

【請求項14】前記金層を、フラッシュメッキ法により前記拡散阻止層より薄く形成する請求項12に記載の半導体装置の製造方法。

【請求項15】半導体チップが固定される面、これに対向した面の少なくとも一方に形成され、前記半導体チップの表面に設けられたパッドまたは前記半導体チップの裏面に電気的に接続される配線層と、当該配線層上に形成され、前記半導体チップと内部結線を達成する端子体が固着され、または外部端子として表面が球状の端子体が形成されるランド部とを有し、

当該ランド部が、前記配線層上に形成されたニッケル層と、

前記端子体に接する金層とを有するパッケージ用基板であって、

前記ニッケル層と前記金層との層間に、前記ニッケル層内のニッケルが前記金層内に熱拡散するのを阻止する拡散阻止層が介在しているパッケージ用基板。

【請求項16】前記拡散阻止層は、パラジウム、又は、パラジウムと他金属との合金からなる請求項15に記載のパッケージ用基板。

【請求項17】前記金層は、前記拡散阻止層よりも薄い請求項15に記載のパッケージ用基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、BGA(Ball Grid Array)またはCSP(Chip Size Package)等の表面実装形半導体パッケージに半導体チップを組み込んでなる半導体装置、その製造方法、および当該半導体装置の製造に好適に用いることができるパッケージ用基板に関する。

【0002】

【従来の技術】高度情報通信時代を迎え、電子機器に対する更なる使い易さおよび便利さ等の追求から、電子機器に搭載されるLSIに対し、小型化、高機能化、高性能化、さらに低コスト化が要求されている。このため、LSIチップの一層の高集積化に伴ってそのI/O数も増大する傾向にある一方で、パッケージ自体の小型化要求も強く、これらを両立させるために、半導体部品の高密度な基板実装に適合した半導体パッケージ技術の開発の重要性が高まっている。

【0003】高密度な半導体パッケージ技術は、従来ではQFP(Quad Flat Package)を主流として発展してきたが、QFPのファインピッチ化には限度があり、これを回路基板上に実装する際の負担も大きいことから、近年では、面実装形の半導体パッケージが注目されている。

【0004】実装コストを含むトータルな低コスト化が可能な面実装形の半導体パッケージとして、ハンダボ

ルをパッケージの底面エリアに、例えば格子状に配列して外部端子としたBGAが知られている。最も一般的な構造のBGAとして、パッケージ用基板の一面上に半導体チップを実装し、それを樹脂モルディングした後、反対側の他面に外部端子としてハンダボールをエリア状に形成したものがある。このBGAでは、実装エリアが面で達成されるので、外部端子のピッチが緩和され、このためパッケージの小型化が比較的容易に達成できるという利点を有する。また、回路基板側でも狭ピッチ対応とする必要がなく、高精度な実装技術も不要となるので、BGAを用いると、パッケージコストが多少高い場合でもトータルな実装コストとしては低減できるという利点がある。

【0005】図7は、このBGAの底面に設けられた外部端子(ハンダボール)を中心とした部分の断面図である。図7において、符号100はBGA、102はパッケージ用基板を示す。図7ではBGAのハンダボール形成面が現れているが、その面に対向するパッケージ用基板面上には、特に図示しないが、半導体チップが裏面から銀ペーストを介して固定されている。また、パッケージ用基板面内の半導体チップ周囲には配線層が形成され、その配線層と半導体チップの表面に予め設けられた電極パッドとが、金ワイヤで接続されている。そして、半導体チップと金ワイヤ周囲とが樹脂で封止されている。

【0006】図7において、符号104は上記半導体チップと電気的に接続された外側の配線層を示し、銅メッキからなる。この外側配線層104と、パッケージ内側の前記配線層とは、特に図示しないが、例えばパッケージ用基板102に形成されたスルーホールまたはパッケージ用基板102内の埋込配線層を介して、電気的に相互接続されている。

【0007】BGA100では、図7に示されているように、銅からなる配線層104上に、ニッケルメッキ層106および金メッキ層108が順に積層され、これによりハンダボールのランド部110が形成されている。ニッケルメッキ層106はハンダボールとの間でハンダ接合を形成する。また、金メッキ層108は、このハンダ接合が形成されるまでの間にニッケルメッキ層106の表面が酸化されて、ハンダ濡れ性およびハンダボールの密着性が低下することを防止するための層である。各メッキ層の厚さは、例えば、配線層104が25〜30μm、ニッケルメッキ層106が5μm以上、金メッキ層108が0.5μm以上である。このように構成されたランド部110の周囲は、ソルダレジスト膜112で覆われ、また、金メッキ層108の上部には、ハンダボール114が形成されている。このソルダレジスト膜112は、ソルダペースト印刷法によってハンダボール114を形成する際に、ソルダペーストとランド部110の接触面積を制限する。このため、形成されるハンダボ

ール114の高さを出来るだけ高くすることができる。したがって、他の方法、例えばハンダボール搭載法を採用する場合には、このソルダレジスト膜112は省略してよい。

【0008】具体的に述べると、ソルダペースト印刷法の場合、ソルダペーストがランド部110上にスクリーン印刷により転写された後、加熱してリフローすることにより、ランド部110上に表面が球状のハンダボール114が形成される。一方、ハンダボール搭載法の場合は、パッケージ用基板102の底面全体にフラックスを塗布したあと、別に形成されて治具上に整列されたハンダボール114が加熱処理によりランド部110上に移載された後、リフローを経て、ランド部110上にハンダボール114が固着される。

【0009】このようにしてハンダボールが形成されたBGA100は、実装対象のプリント基板（マザーボード）に対してフェイスダウンさせた状態でハンダボール114を介して表面実装される。このとき、ハンダボール114は外部から加熱され、その熱でハンダボール114自体が溶解することにより、図示しないマザーボードに形成されたボールパッド部に固着される。

【0010】

【発明が解決しようとする課題】ところが、ハンダボール114を予め形成する際、または、BGAの実装時にハンダボール114をマザーボード上で固着させる際に、BGA100の底面側を加熱すると、ニッケルメッキ層106内のNi原子がその熱により金メッキ層108内に拡散し金メッキ層108の表面に達するため、その表面が酸化されやすくなってハンダボール114の密着性が低下する。

【0011】このNi原子のハンダボール114への到達を防止するためには、金メッキ層を厚くする対策が有効であり、上記構成では金メッキ層108を $0.5\mu\text{m}$ 以上と比較的に厚くしている。しかし、金メッキ層108が余り厚いと、上記加熱処理においてAu原子がハンダ内に拡散する過程でAuの供給量が余りに多いため、Auと錫(Sn)の合金層がニッケルメッキ層106との界面に一樣に形成される。このAu-Pb合金層は固くて脆いため、ニッケルメッキ層106との界面でハンダボール114が剥離して脱落することがある。

【0012】また、金メッキ層108が厚いことは、高価な金を多量に用いることとなり、コスト面から考えても好ましいことではない。

【００１３】本発明は、上述した事情に鑑みてなされたものであり、製造コストを低く抑えながら、高温での熱処理によるハンダボールの密着性低下を有効に防止した半導体装置およびその製造方法を提供することを目的とする。また、本発明は、上記半導体装置の製造に好適に用いることができるパッケージ用基板を提供することを他の目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、半導体チップと、当該半導体チップが固定されたパッケージ用基板と、当該パッケージ用基板に形成され、前記半導体チップの表面に設けられた電極パッドまたは前記半導体チップの裏面に電気的に接続された配線層と、当該配線層上に形成されたランド部と、当該ランド部上に固着された表面が球状の端子体とを備え、前記ランド部が、前記配線層の部分上に形成されたニッケル層と、前記端子体に接する金層とを有する半導体装置であって、前記ニッケル層と前記金層との層間に、前記ニッケル層内のニッケルが前記金層内に熱拡散するのを阻止する拡散阻止層が介在している。

【0015】このランド部および端子体は、例えばBGA等において、パッケージ用基板の底面に外部端子として設けてもよいし、また、BGAまたはCSP等において、半導体チップとパッケージ用基板との内部接合端子として設けてもよい。この拡散阻止層は、好ましくは、パラジウム、又は、パラジウムと他金属との合金からなる。また、前記金層は、好ましくは、前記拡散阻止層よりも薄い。

【００１６】本発明の半導体装置の製造方法は、半導体チップが固定されるパッケージ用基板に、前記半導体チップ表面に設けられた電極パッドまたは前記半導体チップの裏面に電気的に接続される配線層を形成し、当該配線層上にランド部を形成し、当該ランド部上に表面が球状の端子体を形成する半導体装置の製造方法であって、前記ランド部の形成に際し、前記配線層上にメッキ法によりニッケル層を形成し、前記ニッケル層上に導電性の拡散阻止層を形成し、前記拡散阻止層上にメッキ法により金層を形成した後、形成したランド部内で、前記拡散阻止膜により、前記ニッケル層内のニッケルが上層の前記金層に熱拡散することを阻止しながら、前記端子体を加熱を含む工程によって前記ランド部上に形成する。

【0017】この製法は、外部端子用の外側ランド部、または、パッケージ用基板と半導体チップとの内部結成用の内側ランド部の何れにも適用できる。また、好ましくは、前記金属層をフラッシュメッキ法により前記拡散阻止層より薄く形成するとよい。

40 【0018】本発明の半導体装置およびその製造方法によれば、パッケージ用基板上に形成されたランド部に、外部端子として表面が球状の端子体を加熱により形成する。また、パッケージ用基板上に半導体チップを固定する際に、内部結線用の端子体として例えば半導体チップの電極パッド上に形成された端子体を、パッケージ用基板上面に形成された内側ランド部に加熱により融着する。さらに、その後、当該半導体装置を例えばマザーボード等の上に表面実装する際に、外部端子体が実装基板上に設けたボールパッド部に加熱により融着され

50 る。この何れの場合においても、ランド部が加熱される

とニッケル層内のNi原子が振動を始め金属が設けられた上層側に拡散しようとするが、そのNi原子は拡散阻止層によって金属内への拡散が阻止され、ニッケル層内に封じ込められる。このため、従来のようにNi原子が金属の表面に達することがない。このような拡散阻止層の介在によって、その上層の金属を薄くしても、端子体の密着性が低下しない。

【0019】また、その加熱時には、同時に、金属内のAu原子および拡散阻止層の構成原子（例えば、Pd原子）が端子体内に拡散する。ところが、本発明では金属を薄くできることから、その場合、Au原子が端子体の構成原子（例えば、ハンダ内のSn）と結合しても、この合金層が端子体の密着性を低下させる層としてニッケル層の界面に一樣に形成されることがない。

【0020】本発明のパッケージ用基板は、半導体チップが固定される面、これに対向した面の少なくとも一方に形成され、前記半導体チップの表面に設けられた電極パッドまたは前記半導体チップの裏面に電気的に接続される配線層と、当該配線層上に形成され、前記半導体チップとの内部結線を達成する端子体が固着され、または外部端子として表面が球状の端子体が形成されるランド部とを有し、当該ランド部が、前記配線層上に形成されたニッケル層と、前記端子体に接する金属とを有するパッケージ用基板であって、前記ニッケル層と前記金属との層間に、前記ニッケル層内のニッケルが前記金属内に熱拡散するのを阻止する拡散阻止層が介在している。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について、図を参照しながら説明する。本発明は、パッケージ化された半導体装置、製造方法および当該半導体装置の製造に好適に用いることができるパッケージ用基板に関する。本発明に係る半導体装置は、いわゆるBGA(Ball Grid Array)、CSP(Chip Size Package)に広く適用可能である。BGAは、その材料および構造的な特徴によって、大まかには、パッケージ用基板が樹脂、セラミックまたは銅からそれぞれなるP-BGA(Plastic Ball Grid Array)、C-BGA(Ceramic Ball Grid Array)、S-BGA(Super Ball Grid Array)と、これにBGAとTAB(Tape Automated Bonding)の特徴を併せ持つT-BGA(Tape Ball Grid Array)を加えたものに細分類できる。本発明は、この何れに対しても広く適用可能である。

【0022】第1実施形態

本実施形態は、P-BGA、C-BGA、S-BGAに関する。図1は、本実施形態に係る半導体装置の構造例を示す断面図、図2は図1に示す半導体装置の外部端子となるハンダボールとランド部の要部拡大断面図である。

【0023】図1において、符号1は本実施形態の半導体装置であるBGA、2は主にBGAの機械的な強度を

維持するためのパッケージ用基板、4は半導体チップである。

【0024】パッケージ用基板2は、P-BGAの場合、例えばBT(Bismaleimide Triazine)エポキシ材からなる。BTエポキシ材は、一般のプリント配線基板に使用される材料と同じであるが、BGAパッケージとなるまでの製造工程での熱履歴が過酷なこと、および、半導体チップ4のダイレクトボンディングが必要となることなどから耐熱性を高めた樹脂材料である。

【0025】パッケージ用基板2の半導体チップ4を載置する面（以下、この面を“内面”という）側には、エッチングによって、半導体チップ4を固定するダイヤタッチ層6と、その周囲の内側配線層8とが形成されている。このダイヤタッチ層6上に、半導体チップ4がその裏面側から銀ペースト10を介して固定されている。また、電源電圧およびシグナル用の内側配線層8は、半導体チップ4の表面に形成された電極パッドに対し、金ワイヤ12により電気的に接続されている。そして、これら半導体チップ4、金ワイヤ12および内側配線層8の一部が、モールド樹脂14によって封止されている。

【0026】パッケージ用基板2の反対側の面（以下、この面を“外面”という）には、同じくエッチングによって、図2にも示すように外側配線層16が形成されている。この外側配線層16上には、パッケージの外部端子体としてのハンダボール18が、後述するように複数のメッキ層を介して固着されている。このハンダボール18周囲のパッケージ用基板2の外面全域、および半導体チップ搭載面のモールド樹脂14周囲の内側配線層8の表面部分は、ソルダレジスト膜20により覆われている。

【0027】パッケージ用基板2には、それぞれ内壁が導電膜により被膜された2種類の貫通孔、即ちBGAの放熱性を向上させるためのサーマルバイヤホール(Thermal Via Hole)22と、電源電圧およびシグナル用のスルーホール(Through Hole)24とが設けられている。サーマルバイヤホール22は、ダイヤタッチ層6の裏面側に所定数設けられており、当該ダイヤタッチ層6と接地用の外側配線層16および接地用のハンダボール18とを電気的に接続している。スルーホール24は、内側配線層8と、電源電圧又はシグナル用の外側配線層16およびハンダボール18とを電気的に接続する電気経路として設けられたものである。これにより、配線経路を最短距離化して、ノイズ源となるインダクタンス等の低減、信号遅延の短縮等が可能となり、半導体装置の高性能化が図られている。

【0028】図2に示すように、パッケージ用基板2の外側配線層16上には、そのハンダボール18が装着される部分にランド部26が形成されている。ランド部26は、例えば銅からなる外側配線層16上に、ニッケルメッキ層28、Niの拡散阻止層としてのパラジウムメ

ッキ層30および金メッキ層32を順に積層してなる。各層の厚さは、例えば、外側配線層16が25~30 μ m、ニッケルメッキ層28が5 μ m以上、パラジウムメッキ層30が0.02~0.5 μ m、金メッキ層32が0.003~0.01 μ m程度に設定されている。

【0029】ニッケルメッキ層70は、外側配線層16のバリアメタルとして形成され、外側配線層16の酸化防止および耐熱性を向上させるとともに、金メッキ層32の耐熱性を維持するためのものである。また、金メッキ層32は、ランド部26とハンダボール18との間にハンダ接合が形成されるまでにニッケルメッキ層28の表面が酸化されて、ハンダ濡れ性およびハンダボール18の密着性が低下することを防止するための層である。この金メッキ層32のハンダボール接触部分は、ハンダボール固着時のランド部26を加熱する際にハンダボール18内に熱拡散する。

【0030】本発明の特徴である拡散阻止層、即ち本例のパラジウムメッキ層30は、ランド部26の加熱時に、ニッケルメッキ層28内のNi原子の金メッキ層32への拡散を阻止するために設けてある。このパラジウムメッキ層30は、純Pdのほか、Pdと他金属（例えば、Ni）との合金から構成させてもよい。また、拡散阻止層の機能を発揮する他の金属、例えばNi-W合金等から構成してもよい。

【0031】従来構成のように拡散阻止層がない場合、ランド部の加熱時に、ニッケルメッキ層内のNi原子がその熱により金メッキ層内に拡散し、それにより、ニッケル原子が部分的に金メッキ層の表面に達するため、その表面が酸化されやすくなってハンダボールの密着性が低下する。このNi原子のハンダボールへの到達を防止するためには、金メッキ層を厚くする対策が有効であり、従来の構成では金メッキ層を0.5 μ m以上と比較的に厚くしている。しかし、金メッキ層が余り厚いと、上記加熱処理においてAu原子がハンダ内に拡散する過程でAuの供給量が余りに多いため、Auと錫（Sn）の合金層がニッケルメッキ層との界面に一樣に形成される。このAu-Sn合金層は固くて脆いため、ニッケルメッキ層との界面でハンダボールが剥離して脱落することがある。

【0032】これに対し、本実施形態では、パラジウムメッキ層30をニッケルメッキ層28と金メッキ層32との間に介在させ、Ni原子をニッケルメッキ層28内に封じ込める。このため、ランド部26表面の酸化を防止するほか、金メッキ層32を例えばフラッシュメッキ法を用いて薄く形成することができる。金メッキ層32を薄くすると、Au原子がハンダ内に拡散する量を少なくでき、その結果として、Au-Pb合金層の生成を抑制し、ハンダボール18脱落を有効に防止することが可能となる。なお、このパラジウムメッキ層30も、金メッキ層26と同様に加熱時にハンダ内に拡散する。した

がって、この熱拡散の過程で、パラジウムメッキ層30は金メッキ層26とともに下地のニッケルメッキ層28が酸化されるのを防止する役目を果たす機能を果たし、最終的には、ニッケルメッキ層28とハンダボール18との間で良好なハンダ接合が形成される。

【0033】このように構成されたランド部26の周囲は、ソルダレジスト膜20で覆われ、また、ランド部26上には、ハンダボール18が形成されている。このソルダレジスト膜20は、詳細は後述するが、ソルダペースト印刷法によってハンダボール18を形成する際に、ソルダペーストとランド部18の接触面積を制限する。そして、ソルダレジスト膜20の開口部の面積、厚さおよびランド部との相対位置が、ハンダボール18の高さを制御するうえで重要となる。さらに半導体パッケージの表面保護膜として、耐熱性、耐湿性および絶縁性等の諸条件を備えている必要である。ソルダペースト印刷法以外のハンダボール形成法、例えばハンダボール搭載法を採用する場合には、このソルダレジスト膜20は、単なる保護膜で代替できる。

【0034】ハンダボール18は、球径が0.15~1.5mm ϕ 程度の欠球体であり、例えばPbが60%、Snが40%で融点が180度程度の低融点ハンダ、あるいは例えばPbが90%、Snが10%で融点が250度程度の高融点ハンダ等様々な種類があり、これらは、組み立てプロセスに応じて適宜選択される。ハンダボール18としては、実装時のマザーボード側のボールパッドとの電気的な接続を確実に行うために、その高さが一定以上あり、また強度や隣接端子間の短絡を防止するために大きさも精度よくコントロールされている必要がある。

【0035】つぎに、BGA1の製造方法について説明する。まず、所定の貫通孔を形成したパッケージ用基板を用意し、両面にダイアタッチ層6および配線層8、16となる銅膜を、例えばスパッタリング法により成膜する。このとき、貫通孔の内壁が銅膜により皮膜され、サーマルバイヤホール22およびスルーホール24が形成される。つぎに、形成した銅膜をパターニングして、ダイアタッチ層6および配線層8、16を形成する。

【0036】上述した工程完了後、パッケージ用基板2の両面側からフォトソルダレジストインクを使用して、樹脂モールドされる領域の周辺部分および各ランド部26の周辺領域にソルダレジスト膜20を形成する。このとき、ソルダレジスト膜20の各ランド部26に対する相対位置および厚さを正確に管理するとともに、後で樹脂モールド及び金属メッキがされることから、サーマルバイヤホール22およびスルーホール22内をソルダレジストインクで予め埋め込む必要がある。

【0037】つぎに、パッケージ用基板2の裏面（外面）にランド部26を形成する。具体的には、ソルダレジスト20により開口した部分に電解または無電解メッ

キ法により、ニッケルメッキ層28、パラジウムメッキ層30を順次形成する。さらに、金メッキ層32を、フラッシュメッキ法により形成する。

【0038】続いて、常法にしたがって、ダイボンディング、ワイヤボンディング、樹脂モールドリングを行う。すなわち、ダイヤタッチ層6に銀ペースト10を塗布し、その上に半導体チップ4を載置したあと、銀ペースト10を凝固させるために所定条件の熱処理を行う。また、半導体チップ4上の電極パッドと内側配線層8を金ワイヤ12で接続したのち、金型内でモールド樹脂を注入して半導体チップ4を樹脂封止し、キュア後に金型から取り出す。

【0039】つぎに、溶ダペースト印刷法によって、ハンダボール18の形成を行う。具体的には、溶ダペーストをランド部26上にスクリーン印刷により転写した後、加熱してリフローすると、ランド部26上に表面が球状のハンダボール18が形成される。このハンダボールの形成時に、PdおよびAuが溶ダペースト中に熱拡散し、最終的には、ニッケルメッキ層28とハンダボール18との間でハンダ接合が形成される。この加熱過程で、パラジウムメッキ層30および金メッキ層26によって下地のニッケルメッキ層28表面が保護され、その表面酸化が防止される。また、このハンダボール形成時またはその後の加熱時において、本実施形態では、前記したようにパラジウムメッキ層30によってNi原子がニッケルメッキ層28内に封じ込められ、ランド部26表面の酸化が有効に防止される。さらに、前記したように金メッキ層32を薄く形成できるので、ハンダ接合界面でのAu-Sn合金層の形成を有効に抑制できる。以上の理由によって、ニッケルメッキ層28とハンダボール18との間に形成されるハンダ接合は良好なものとなる。

【0040】ハンダボール形成法としては、以上に述べた溶ダペースト印刷法のほかに、フラックスまたは溶ダペーストを用いたハンダボール搭載法が採用できる。これらのハンダボール搭載法では、パッケージ用基板2の底面全体にフラックスを塗布（または、溶ダペーストを印刷）したあと、別に形成されて治具上に整列されたハンダボール18を加熱処理によりランド部26上に移載された後、リフローを経て、ランド部26上にハンダボール114が固着される。なお、フラックスを用いる場合は、その後、パッケージ用基板2の底面に残存する余分なフラックスを洗浄によって除去する。

【0041】このようにしてハンダボール18が装着されたBGA1は、実装対象のプリント基板（マザーボード）に対してフェイスダウンさせた状態でハンダボール18を介して表面実装される。このとき、ハンダボール18は外部から加熱され、その熱でハンダボール18自体が溶解することにより、図示しないマザーボードに形成されたボールパッド部に固着される。

【0042】なお、本実施形態では、種々の変更が可能である。たとえば、半導体チップ4の固定方法および端子接続方法は、上記の如く銀ペースト塗布法およびワイヤボンディング法に限らず、両者を一括して行うフリップチップ法の採用が可能である。フリップチップ法では、パッケージ用基板2の内面にも上記したランド部26と同じ構成の内側ランド部を設ける。また、本発明の“内部結線用の端子体”として、当該内側ランド部上または半導体チップの電極パッド上にハンダバンプを予め形成しておき、これを介してICとパッケージ用基板2を接続する。この内側ランド部においても、前記したと同様に、端子体の脱落および固着強度の低下が防止される。なお、このフリップチップ法については、後述する第3実施形態において詳しく述べる。

【0043】また、上記説明では、ハンダボールは鉛と錫から構成されるとしたが、ハンダボールの材質はこれに限定されない。つまり、ハンダボール搭載法では、高い熱伝導度と電気伝導度を有する銅を高精度な球体に形成し、その表面に均一なハンダコーティングを施したハンダボールを用いてもよい。この場合のコーティング用材質としては、共晶ハンダ、銀ペースト、ニッケル等を使用するとよい。さらに、パッケージ用基板2の材料は、C-BGAの場合はセラミック、S-BGAの場合は銅が選択される。このパッケージ用基板2を薄い基板を積層させた構造とし、その内部の電気経路は、スルーホールに限定されず、積層基板間に埋め込まれた配線層により実現してもよい。その他、サーマルバイヤホールを省略する、その代わりに放熱板を設ける、或いは樹脂モールドリングに代えてキャップシールでICを封入する等、種々の変更が可能である。

【0044】本実施の形態では、端子体のランド部26内に拡散阻止層としてパラジウムメッキ層30を介在させたことにより、ランド部26表面の熱酸化が防止され、またランド部26と端子体間に、例えばAu-Sn合金層のような固くて脆い層が形成されない。このため良好なハンダ接合が達成され、その結果、端子体の脱落および固着強度の低下が有効に防止できる利点がある。また、Au層を、例えばフラッシュメッキ法等によって薄く形成してもよいことから、高価なAuを節約でき、この点で製造コストを抑える利点がある。

【0045】第2実施形態

本実施形態は、本発明をT-BGAに適用した場合である。図3は、本実施形態に係る半導体装置の一構成例を示す概略断面図である。図3において、符号40は本実施形態に係るT-BGA、42はパッケージ用基板を示す。

【0046】本実施形態におけるパッケージ用基板42は、機械強度を確保するために例えば銅等のメタルからなる固定板44と、固定板44の一方面に接着剤を介して貼り合わせたポリイミド製のTABテープ46とから

なる。TABテープ46の外面には、銅箔を接着剤で張り付けた後、これを所定パターンにエッチングすることにより、外側配線層16とインナーリード46aとからなるパターンが形成されている。このパターン内において、所定の外側配線層16とインナーリード46a同士の相互接続が達成されている。そして、外側配線層16の周囲を開口させた残りのTABテープ46表面が、ソルダレジスト膜20により覆われている。

【0047】このパッケージ用基板42の中央部分は中空棒状になっており、その中に、半導体チップ4がTABテープ46と電気的に接続した状態で、封止樹脂48によって固定されている。具体的に、半導体チップ4は、その表面に形成された電極パッド上にインナーリード46aの先端部分が熱圧着されている。そして、半導体チップ4が、その表面全体からパッケージ用基板42の中空棒内壁に達する部分で、封止樹脂48によってTABテープ46に固定されている。これにより、インナーリード46aを介して半導体チップと外側配線層16との電気的な接続が達成されている。一方、半導体チップ4の裏面と固定板44の外面に、メタル製の放熱板49が導電性の接着剤等により固定されている。

【0048】個々の外側配線層16上には、図2と同様なメッキ層28、30、32の積層構成のランド部26が形成され、その上に、外部端子体としてのハンダボール18が固着されている。

【0049】このような構成のT-BGA40は、半導体チップ4の電極引き出し面と、外部端子体（ハンダボール18）の固定面が、ほぼ同一面状にエリア配置され、半導体チップ4と外部端子体との接続が一層の配線層パターンのみによって達成されている。このため、T-BGA40は、そのパッケージ内の信号伝達経路が短く、寄生インダクタンスや寄生キャパシタンスが小さいという利点を有する。したがって、このT-BGA40は、動作周波数が高い高速信号処理用のIC向けに適している。

【0050】つぎに、T-BGA40を製造する方法の一例を、説明する。まず、配線パターン16、46aをポリイミド層の一面に形成し、その上にソルダレジスト膜20を形成した後、ポリイミド層の中抜きを行って、TABテープ46を予め形成しておく。また、このTABテープ46の形成時に、ソルダレジスト膜20の開口部に表出する外側配線層16上に、第1実施形態と同様な方法により、メッキ層の積層膜からなるランド部26を形成する。

【0051】そして、放熱板49上に、半導体チップ4と固定板44を取り付けたのち、固定板44上に、TABテープ46を接着して固定する。この固定では、半導体チップ4の表面に形成されている電極パッドとインナーリード46aの端子部分との位置合わせを行った後、TABテープ46を固定板44に接着する。なお、電極

パッドとインナーリード46aの一方側には金属バンパが形成されており、上記TABテープ46の固定時またはその後、インナーリード46aを外側から加熱して圧着させることにより、電極パッドとインナーリード46aの接続が達成される。

【0052】つぎに、半導体チップ4の表面から側面にかけてTABテープ46との隙間に封止樹脂48を流し込み、キュアして半導体チップ4の固定を完全なものとする。

10 【0053】最後に、第1実施形態と同様な方法により、ハンダボール18の固定を行って、当該T-BGA40を完成させる。

【0054】この第2実施形態に係る半導体装置（T-BGA40）及びその製造方法は、第1実施形態と同様に、ランド部26内にパラジウムメッキ層30が介在していることから、ランド部26表面の熱酸化が防止され、ランド部26と端子体間にAu-Sn合金層のような固くて脆い層が形成されたため、その界面に良好なハンダ接合が達成され、その結果、端子体の脱落および固着強度の低下が有効に防止できる利点がある。また、Au層を、例えばフラッシュメッキ法等によって薄く形成してもよいことから、高価なAuを節約でき、この点で製造コストを抑える利点がある。

【0055】加えて、本実施形態では、ランド部をTABテープ46の外側配線層46aに予め形成しておくことができる。したがって、後は、TABテープ46と他の部材を固定するだけでよいので、パッケージ組み立て工程が簡素であり、組み立てコストが余りかからないといった利点がある。

30 【0056】第3実施形態

本実施形態は、本発明をCSPに適用した場合である。図4は、本実施形態にかかる半導体装置（CSP）の概略斜視図である。このCSP50では、半導体チップ4が、本発明の“パッケージ用基板”としてのインターポザー52上に載置されており、封止樹脂54により封止されている。

【0057】図5は、このCSPの断面図である。半導体チップ4が、ソルダバンパ56によってインターポザー52と機械的、電気的に接続されており、半導体チップ4とインターポザー52の間は封止樹脂54が充填されている。インターポザー52に設けられたスルーホール58を通じて、インターポザー52の裏面側にアレイ状に設けられたターミナル60とソルダバンパ56とが電気的に接続されている。ターミナル60は外部端子として、ガラスエポキシ系材料からなる図示しないプリント基板（マザーボード）にはんだ付けされる。

【0058】図6は、ソルダバンパ形成部およびターミナル上部の拡大断面図である。半導体チップの表面に形成された電極パッド4a上でオーバーコート4bが開口し、その上にバリアメタル4cが形成されている。バリ

【0064】本実施形態の半導体装置（CSP50）は、第1実施形態と同様に、ランド部26内にパラジウムメッキ層30が介在していることから、ランド部26表面の熱酸化が防止され、ランド部26と端子体（ソルダバンプ56）間にAu-Sn合金層のような固くて脆い層が形成されたため、その界面に良好なハンダ接合が達成され、その結果、端子体の脱落および固着強度の低下が有効に防止できる利点がある。また、Au層を、例えばフラッシュメッキ法等によって薄く形成してもよいことから、高価なAuを節約でき、この点で製造コストを抑える利点がある。

【0065】

【発明の効果】本発明によれば、安価な製造コストでありながら、高温での熱処理によって密着性の低下がない端子体を備え、製造歩留りおよび信頼性が高い半導体装置及びその製造方法を提供することができる。また、その製造方法に好適に使用可能なパッケージ用基板を提供することができる。

20 【図1】本発明の第1の実施形態に係る半導体装置の構造例を示す断面図である。

【図3】本発明の第2の実施形態に係る半導体装置の断面図である。

【図4】本発明の第3の実施形態に係る半導体装置の斜視図である。

【図5】図1の半導体装置の断面図である。

【図6】ソルダバンプ形成部およびターミナル上部の拡大断面図である。

【図7】従来のBGAの底面に設けられた外部端子（ハンダボール）を中心とした部分の断面図である。

【符号の説明】

1, 40…BGA（半導体装置）、2, 42…パッケージ用基板、6…ダイアタッチ層、8, 62…内側配線層、10…銀ペースト、12…金ワイヤ、14…モールド樹脂、16…外側配線層、18…ハンダボール、20…ソルダレジスト膜、22…サーマルバイヤホール、24, 58…スルーホール、26…ランド部、28…ニッケルメッキ層、30…パラジウムメッキ層、32…金メッキ層、44…固定板、46…TABテープ、46a…インナーリード、48, 54…封止樹脂、49…放熱板、50…CSP（半導体装置）、52…インターポザー（パッケージ用基板）、56…ソルダバンプ、60…ターミナル。

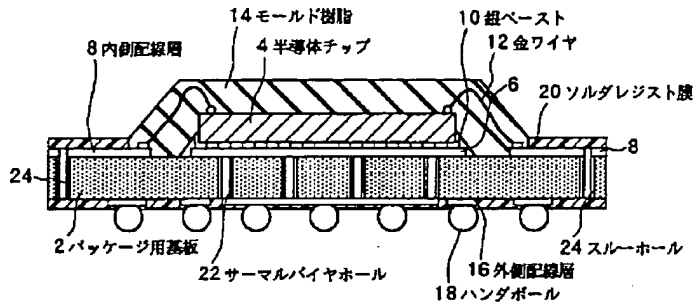
【0061】このランド部側の全面にフラックス処理を行った後、ランド部26とソルダバンプ56とが接続されるように位置決めをして、半導体チップ4をインターポザー52上に載置する。所定の熱処理を施してソルダバンプ56を溶融し、その後冷却することで半導体チップ4とインターポザー52とを機械的、電気的に接続する。

【0062】つぎに、半導体チップ4とインターポーザー52との間隙に、例えば熱硬化性樹脂からなる封止樹脂54を充填し、キュア（硬化）工程を行い、封止する。このようにしてパッケージ化された半導体装置は、そのターミナル60が例えばガラスエポキシ系の図示しないマザーボードの導電性パターン上にはんだ付けされ、使用される。

【0063】なお、CSP50の底面のターミナル60に、第1実施形態と同様な構成および形成方法によってハンダボール等からなる外部端子体を予め固着し、実装時に外部端子体を介してマザーボードとの接続を行うようにしてよい。

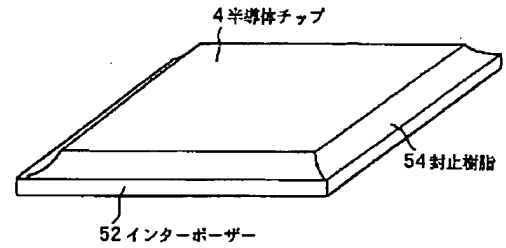
【図1】

1 BGA



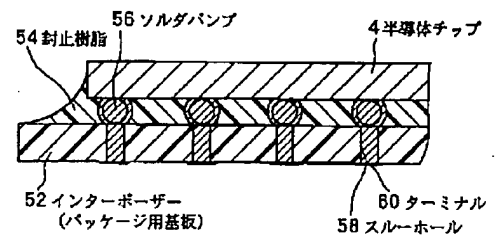
【図4】

50 CSP

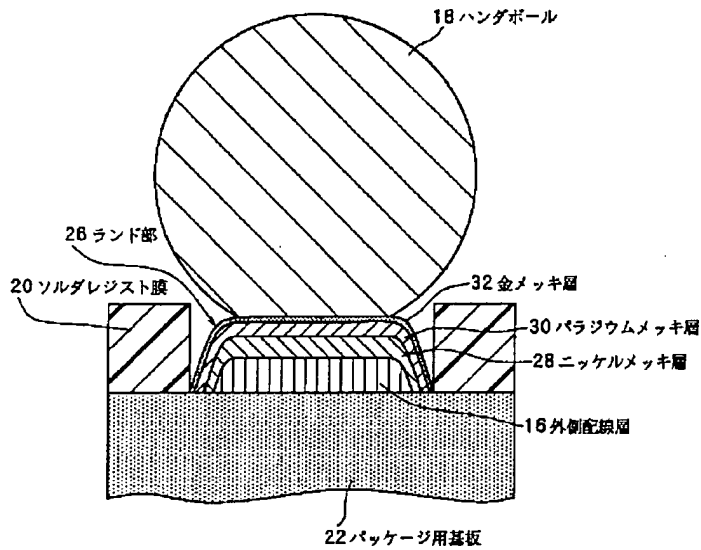


【図5】

50

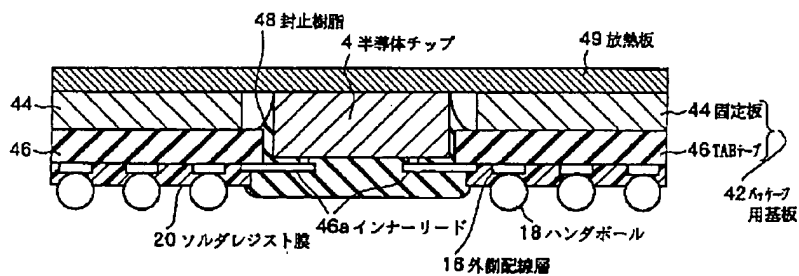


【図2】

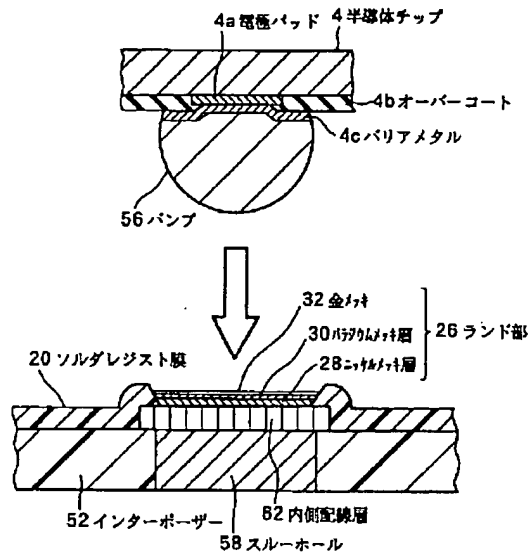


【図3】

40 T-BGA



【図6】



【図7】

